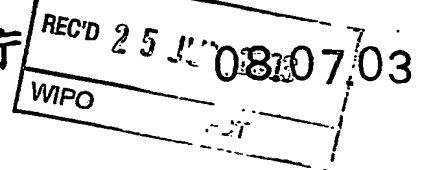


Rec'd PCT/PTO 06 JAN 2005

JP03/08648

日 本 国 特 許 庁

JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 9日

出 願 番 号

Application Number:

特願2002-200467

[ST.10/C]:

[JP2002-200467]

出 願 人

Applicant(s):

独立行政法人産業技術総合研究所

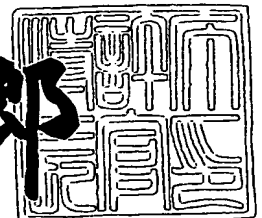
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 6月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



BEST AVAILABLE COPY 出証番号 出証特2003-3051249

【書類名】 特許願

【整理番号】 223-01745

【あて先】 特許庁長官 殿

【発明者】

 【住所又は居所】 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

 【氏名】 高橋 栄一

【発明者】

 【住所又は居所】 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

 【氏名】 河西 勇二

【発明者】

 【住所又は居所】 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

 【氏名】 樋口 哲也

【特許出願人】

 【識別番号】 301021533

 【氏名又は名称】 独立行政法人産業技術総合研究所

 【代表者】 吉川 弘之

 【電話番号】 0298-61-3280

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック信号タイミング調整のための遅延回路を有するデジタル回路

【特許請求の範囲】

【請求項 1】 クロック信号のタイミングを可変にするために遅延回路を備えたデジタル回路において、遅延同期ループを用いることにより、該遅延回路の遅延量を安定化させたことを特徴とするデジタル回路。

【請求項 2】 請求項 1 において、上記遅延回路の駆動電流を制御することにより、上記遅延回路の遅延量を可変とすることを特徴とするデジタル回路。

【請求項 3】 上記遅延回路は、2 個以上の基準電圧を合成する遅延量設定電圧発生回路を備えていることを特徴とする請求項 1 又は 2 記載のデジタル回路。

【請求項 4】 上記遅延量設定電圧発生回路は、折れ線近似により基準電圧を合成することを特徴とする請求項 3 記載のデジタル回路。

【請求項 5】 上記遅延量設定電圧発生回路は、電圧分割型回路であることを特徴とする請求項 3 記載のデジタル回路。

【請求項 6】 上記遅延量設定電圧発生回路は、ラダー型回路であることを特徴とする請求項 3 記載のデジタル回路。

【請求項 7】 上記遅延量設定電圧発生回路は、MOSFET を用いていることを特徴とする請求項 3 ないし 6 のいずれかの請求項に記載のデジタル回路。

【請求項 8】 上記遅延回路の駆動電流を制御する回路は、カレントミラー型回路であることを特徴とする請求項 2 ないし 7 のいずれかの請求項に記載のデジタル回路。

【請求項 9】 上記遅延同期ループは、起動時安定化手段を有することを特徴とする請求項 1 ないし 8 のいずれかの請求項に記載のデジタル回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明はCPU,ALU等のデジタル回路全般に適用可能であり、特に、デジタル

回路を用いるデジタル処理装置における、クロックパルスのタイミングを可変にする遅延回路に関する。

【0002】

【従来の技術】

デジタル処理装置において、デジタル回路の動作するタイミングの基準となるクロック信号の実動作におけるタイミングを最適化することが、デジタル信号処理装置の性能向上に有効であり、このことは公開特許公報2001-43261「デジタルシステム、デジタルシステムのクロック信号調整方法および、その調整方法で実行する処理プログラムを記録した記録媒体」に示されている。また、この公報においては、デジタル処理装置のクロック信号のタイミングを遺伝的アルゴリズムを用いて調整することにより、デジタル処理装置の最高クロック周波数を上げることが出来るということが示されている。

【0003】

クロック信号のタイミング調整は、多数のインバータを用いて、インバータの段数をマルチプレクサにより切り替えて、該信号の遅延量を可変としている。この方法においては、調整回路にきわめて多数のインバータ回路を必要とし、調整回路のICチップ面積に占める割合が極めて大きい。またクロック信号の遅延量が、周囲温度や電源電圧等のLSI動作環境の影響を受けるという問題がある。さらにまた細かいタイミングの設定が困難であり、原理上、インバータ1段の遅延時間よりも短い時間間隔でのタイミングの設定が不可能であった。

【0004】

【発明が解決しようとする課題】

このように、従来技術によるクロックタイミング調整方法においては、調整回路のLSIチップ面積に占める割合が大きく、LSIの周囲温度及び電源電圧等の動作環境の影響を受け、クロックタイミングが変動するという問題がある。このような問題に鑑み、本願発明が解決しようとする課題は、回路面積が小さく、動作環境の影響を受けない分解能の高いタイミング遅延回路を実現することである。

【0005】

【課題を解決するための手段】

本願発明におけるデジタル回路においては、クロック信号のタイミングを可変にするために、インバータの駆動電流を可変にしたパルス遅延回路を具備し、該パルス遅延回路は、遅延同期ループによるパルス遅延量の安定化回路を具備するとともに、非線形特性を有するパルス遅延量設定電圧の発生回路を具備するものである。

これにより、デジタル信号処理装置において、少ないチップ面積で温度及び電源電圧等の動作環境の影響を受けることなく、クロック信号のタイミングを安定に遅延させることが実現可能となる。

【 0 0 0 6 】

【実施例 1】

本願発明に係るクロック信号の遅延制御を行う遅延回路システムの第 1 実施例を、図 1 に基づいて説明する。図 1 において、1 は本願発明の遅延回路システム、D は遅延回路、MUX は遅延調整電圧生成回路、DLL 1 ~ DLL 3 は遅延同期ループ回路 (Delay Locked Loop)、CLK はクロック入力、D-CLK はクロック出力、B a は調整値入力、Vs1 ~ Vs3 は遅延調整基準電圧、V a は遅延調整電圧である。

【 0 0 0 7 】

この回路システムは、クロック入力 CLK に対して、外部から遅延量を設定する調整値入力 B a に対応した遅延時間 ($= \tau$) の遅延を行い、クロック出力 D-CLK を出力することを目的とする。

【 0 0 0 8 】

本願発明は、クロック信号の遅延制御を行う遅延回路 D、遅延時間 τ を設定するための遅延調整電圧 V a を生成する遅延調整電圧生成回路 MUX、ならびに、調整電圧の基準となる遅延調整基準電圧 V s 1 ~ 3 を発生する 3 つの遅延同期ループ回路 DLL 1 ~ 3 を主要な構成要素とする。

【 0 0 0 9 】

遅延調整電圧 V a を調整値入力 B a (例えば 4 ビット : 0 ~ 15) に対して直線的に変化させる場合と、非直線的に折れ線近似で変化させる場合があるが、ここでは折れ線近似の場合について説明する。

【 0 0 1 0 】

図1において、クロック入力CLKが、遅延回路Dと、3つの遅延同期ループ回路DLL1～3に入力される。このDLL1～3では、3つの遅延調整基準電圧 $V_{s1} \sim 3$ を発生し、遅延調整電圧生成回路MUXへ入力する。そこで調整値入力 B_a に対応した遅延調整電圧 V_a が生成される。

この電圧 V_a で遅延回路Dの遅延量を制御することにより、調整値入力 B_a に対応した遅延時間 τ を有するクロック出力D-CLKが得られる。ここで遅延時間 τ は遅延調整電圧 V_a によって変えられることを特徴としている。

【0011】

遅延回路Dの構成例を図2に基づいて説明する。図2において、電源電圧(V_{dd})とグランド(GND)電位間に、1つのPチャネルFET(M1)と2つのNチャネルFET(M2、M3)が直列に接続されたインバータと、同様に1つのPチャネルFET(M4)と2つのNチャネルFET(M5、M6)が直列に接続されたインバータの2つのインバータが縦列2段に接続される。2段のインバータの midpoint をC-CLKとする。FETは電界効果トランジスタであり、通常はMOS構造のものが用いられる。FET M3とM6のゲートには遅延調整電圧 V_a が印加され、ゲートソース間電圧VGSは遅延調整電圧 V_a である。

【0012】

ここでFET M1とM2、およびM4とM5が従来のCMOSFETによるインバータを構成する。FET M3とM6は、上記のインバータの駆動電流を制限することが可能であり、クロック入力CLKが遅延調整電圧 V_a に従って、時間 τ だけ遅延されてクロック出力D-CLKとなる。その動作を次に説明する。

【0013】

図3に、該遅延回路Dに使われるNチャネルFETのゲートソース間電圧VGSに対するソースドレイン間の電流電圧特性を示す。図中 I_D はドレイン電流、 V_{DS} はソースドレイン間の電圧を示す。ソース端子Sに対するゲート端子Gの電位差VGSが小さく、該FETのしきい値電圧以下ならば、ドレイン電流 I_D は0であり、VGSが該FETのしきい値電圧以上ならばVGSの上昇と共に、 I_D は増加する。

【0014】

該遅延回路Dに使われるPチャネルFETのゲートソース間電圧VGSに対するソース

ドレイン間の電流電圧特性は、一般的には前記のNチャネルFETの特性において各電圧・電流の符号を反転させたものと同等である。

【0015】

図2の遅延回路Dには、浮遊容量やFETの入力容量等が内在する。この浮遊容量やFETの入力容量等の合計を C_{s1} 、 C_{s2} として、図2の回路図に追加記入したものを図4に示す。図4中、図2と同一の要素は図3と同じ符号とした。また、図5に、クロック入力CLKとして矩形波を加えた場合の遅延回路Dの動作波形を示す。以下のように、上記の C_{s1} 、 C_{s2} により時間遅延が発生する。

【0016】

デジタルシステムの電圧と論理の関係は、後述の論理しきい値電圧 V_T を用いて、電圧0から電圧 V_T までを論理「0」、電圧 V_T から電圧 V_{dd} までを論理「1」となる。ここで、論理しきい値電圧 V_T は、回路特性で定まる電圧であり、 V_{dd} の約 $1/2$ である。

【0017】

図4の遅延調整電圧 V_a には、FET M3、M6のしきい値電圧よりも高く V_{dd} よりも低い一定の電圧が設定されていると仮定する。また、最初の状態として、クロック入力CLKの論理が「0」、電圧が0（GND電位）を仮定する。このとき、FET M1はオン、FET M2はオフであり、信号C-CLKの電圧は V_{dd} （論理「1」）である。そして、FET M4はオフ、FET M5はオンであり、クロック出力D-CLKの電圧は0V、論理は「0」である。 C_{s1} の電圧は信号C-CLKの電圧に等しく V_{dd} であり、 C_{s2} の電圧はクロック出力D-CLKの電圧に等しく0Vである。

【0018】

クロック入力CLKの論理が「0」から「1」に遷移する場合は、FET M1はオフ、FET M2はオンとなる。そして、FET M3は遅延調整電圧 V_a で規定される図3の電流電圧特性を示す。 V_{dd} であった C_{s1} の電圧はM2、M3を経由して放電し、図3の電流電圧特性で規定される電流値で定まる時間経過後に論理しきい値電圧 V_T 以下となり、すなわち、信号C-CLKの電圧は一定時間（ τ_A ）経過

後に V_T 以下となる。このとき、FET M4はオン、FET M5はオフに遷移し、 $Cs2$ がM4を経由して急速に（時間 τ_B ）電圧 V_{dd} に充電される。したがって、以上の動作により、クロック出力D-CLKはクロック入力CLKの立ち上がり時点より $\tau_A + \tau_B$ の一定時間後に立ち上がる（論理が「0」から「1」に遷移する）。

【0019】

クロック入力CLKの論理が「1」から「0」に遷移する場合は、FET M1はオン、FET M2はオフとなり、 $Cs1$ がM1を経由して急速に（時間 τ_B ）電圧 V_{dd} に充電される。このとき、FET M4はオフ、FET M5はオンに遷移し、FET M6は遅延調整電圧 V_a で規定される図3の電流電圧特性を示すことから、 V_{dd} であった $Cs2$ の電圧はM5、M6を経由して放電し、図3の電流電圧特性で規定される電流値で定まる時間経過後に論理しきい値電圧 V_T 以下となる。すなわち、信号D-CLKの電圧は一定時間（ τ_A ）経過後に V_T 以下となる。したがって、以上の動作により、クロック出力D-CLKはクロック入力CLKの立ち下がり時点より $\tau_B + \tau_A$ の一定時間後に立ち下がる（論理が「1」から「0」に遷移する）。

【0020】

このように、遅延回路Dに入力されたクロック入力CLKは遅延時間 $\tau_A + \tau_B$ の遅延を受けてクロック出力D-CLKとなる。ここで、上記の τ_A と τ_B の和は遅延時間 τ である。

【0021】

M3およびM6のドレイン電流 I_D は、ゲート電圧 V_{GS} に等しい遅延調整電圧 V_a によって図3に示す様に調整出来るので、遅延時間 τ の調整が遅延調整電圧 V_a によって可能となる。なお、ここでは、クロック入力として矩形波の信号電圧を例に説明したが、台形波でも全く同様の動作をする。

【0022】

図6に、遅延回路Dの遅延調整電圧 V_a に対する遅延時間 τ の特性（遅延特性）を示す。すなわち遅延調整電圧 V_a 下げると、遅延時間 τ は図6に示す傾向で非直線的に増加する。但し、遅延調整電圧 V_a には、回路内素子の特性に基づく

上限・下限が存在する。

【 0 0 2 3 】

次に、この遅延特性の環境依存性について考察する。該遅延特性は、該遅延回路Dの周囲温度 T_a 、電源電圧 V_{dd} 等の環境の影響を受ける。たとえば、 T_a が上昇すると遅延時間 τ は大きくなり、電源電圧が上昇すると τ は小さくなる。使用温度範囲を $-10^{\circ}\text{C} \sim 80^{\circ}\text{C}$ とした時、遅延時間 τ の変化の程度は約1.5倍である。

【 0 0 2 4 】

そこで、周囲温度や電源電圧の変化があっても所定の τ を維持するためには、図7および図8の特性に従って遅延調整電圧 V_a を補正する必要がある。これは、本願発明の図1に示す構成により実現でき、補正された遅延調整電圧 V_a が生成される。すなわち、以下に詳述する遅延同期ループ回路によって、環境変化に対しても遅延時間 τ が常に一定となるような遅延調整電圧が生成される。この遅延同期ループ回路で生成する遅延調整電圧を遅延調整基準電圧と呼ぶ。

【 0 0 2 5 】

遅延同期ループ回路DLL 1、2、3の代表としてDLL 1を取り上げ、その動作を図9および図10を用いて説明する。図9に遅延同期ループ回路DLL 1の実装例を示す。

【 0 0 2 6 】

図9において、CLKはクロック入力、4はCLKの入力バッファであるインバータ、Dsは遅延回路、5は位相比較器、6はループフィルタである。遅延回路Dsは、前述の遅延回路Dと同一の構成の遅延回路がN1個あり、これらをN1段直列に接続する。ここで遅延調整電圧 V_a は共通である。インバータ4の出力のクロック信号は位相比較器5と遅延回路DsをN1段直列にした回路の初段に入力される。位相比較器5の出力はループフィルタ6を経てN1個の遅延回路すべての調整電圧 V_a および遅延調整基準電圧 V_{s1} の出力となる。

【 0 0 2 7 】

N1個の遅延回路Dsは、同一ICチップ内に形成すれば、遅延時間ー遅延調整電圧特性は均一となる。そこで同じ電圧 V_{s1} を遅延回路の遅延調整電圧 V_a として供給すれば、各遅延回路Dsの遅延時間は同一とみなせる。したがって、図9におけ

る遅延回路Dsの遅延時間を τ_1 とすると、N1段の遅延回路の出力信号は、元の入力信号より $\tau_1 \times N1$ だけ時間遅延される。また、その出力信号も、位相比較器5へ供給される。

【0028】

図10に、図9の位相比較器5の動作波形概略を示す。図10によると、位相比較器5で基準信号R(t)とN1段の遅延回路で遅延された信号S(t)との位相を比較し、位相差情報の信号が出力される。この信号が次段のループフィルタ6により平滑されて、不要な高周波信号は減衰を受け、信号R(t)と信号S(t)の位相差 ϕ に比例した直流の電圧 $V_o(\phi)$ となる。この $V_o(\phi)$ が遅延回路Dの遅延調整電圧Vaおよび遅延調整基準電圧Vs1として出力される。

【0029】

この遅延同期ループ回路は、負帰還動作をするので、S(t)がR(t)に重なる様に制御動作を行う。この制御動作により、遅延時間 τ がクロック信号パルスの一周期Tに一致するように自動的に制御され、S(t)とR(t)は重なり制御動作が安定化する。

【0030】

したがって、位相差 $\phi = 2\pi$ のときの V_o を平滑した直流出力が安定化された遅延調整基準電圧Vs1となる。遅延回路DsがN1段直列に接続されていることから、一段当たりの遅延時間 τ_1 は $\tau_1 = T / N1$ になる。ここでTはCLKの周期である。

【0031】

さらにまた、図9の遅延同期ループ回路DLL1の外部の遅延回路Dであって遅延回路Dsと同一チップ上に作製される同一特性の回路では、Vaの入力にVs1を入力するとDではDsと同一の遅延時間 τ が得られる。(図11)

【0032】

すなわち、遅延調整基準電圧を同一構成の別の遅延回路Dに入力した場合に別の遅延回路Dで得られる遅延時間は環境変化によらず一定の値($= T / N1$)とすることが実現できる。このとき、動作環境の変化により遅延回路の特性が変化した場合、遅延時間 τ を一定とするように遅延調整電圧Vaおよび遅延調整基準電

圧 V_{s1} が変化する。

【0033】

この負帰還制御系は、デジタル信号を扱うから、位相比較器 5 は、通常 EX-OR (Exclusive-OR) 形位相比較器または、R-S (Reset-Set) フリップ・フロップによる位相比較器で構成される。さらに、ループフィルター 6 は、制御動作に余裕を持たせるため、ラゲーリード型の低域通過フィルタ等で構成される。

【0034】

遅延回路 D の遅延時間 τ を可変とするためには、遅延調整電圧 V_a を τ に応じて変更する必要がある、そのために本願発明では複数の遅延同期ループ回路を用いて遅延調整基準電圧を複数生成する。

【0035】

図 1 の遅延量制御回路 DLL2 および DLL3 も上記した DLL1 と同じ動作をするが、遅延回路 D_s の段数が異なる。遅延量制御回路 DLL2、DLL3 での遅延時間を、それぞれ τ_2 、 τ_3 、また、遅延回路 D_s の段数をそれぞれ N_2 、 N_3 とすると、遅延時間 τ_2 、 τ_3 は同様に T/N_2 、 T/N_3 となる。

【0036】

遅延同期ループを用いる構成では、遅延同期ループの回路の数だけ、所定の遅延量に対応する遅延調整電圧 V_a が得られることになる。しかしながら、遅延時間の設定を細かい刻みで行うためには多岐にわたる遅延調整電圧を生成する必要がある、本願発明においては、以下に示す遅延調整電圧の生成手段を追加する。すなわち、2 ないし 3 の遅延調整基準電圧を元に、すべての調整値入力 B_a に対応する遅延調整電圧 V_a を生成する。

【0037】

遅延時間 τ は、調整値入力 B_a に対して直線的に変化することが望ましい。この直線的に変化する場合の調整値入力 B_a に対する遅延調整電圧 V_a は、図 6 の特性から計算することが可能であり、図 12 の曲線 21 に例示される。この曲線で表される遅延調整電圧 V_a に近い電圧を生成するため、本願発明では折れ線近似を採用することを特徴とする。

【0038】

ここで説明を容易にするために、遅延同期ループ回路における遅延回路Dsの段数 N_1, N_2, N_3 を $N_1 < N_2 < N_3$ とする。図6の τ - V_a 特性と対応させると、 $\tau_1 = T/N_1$ は、遅延調整電圧 V_a が最小値(V_{a_min})に近い値(V_{s1})、 $\tau_3 = T/N_3$ は V_a が最大値(V_{a_max})に近い値(V_{s3})によって規定される値となる。また、 $\tau_2 = T/N_2$ は、その間の適当な電圧 V_{s2} によって規定される値となる。そして、電圧 V_{s1}, V_{s2}, V_{s3} は、図6の V_a 特性曲線上の3点にある電圧であり、 $P_1(V_{s1}, \tau_1)$ 、 $P_2(V_{s2}, \tau_2)$ 、 $P_3(V_{s3}, \tau_3)$ の動作点を規定する。

【0039】

遅延調整電圧生成回路の一構成例について、図13にもとづいて、調整値入力 B_a が4bit($b_3 b_2 b_1 b_0$)すなわち $B_a = 0 \sim 15$ の場合を例に説明する。図13において、MUXは図1と同じ遅延調整電圧生成回路である。8はデプレッション型のFET、9はアナログマルチプレクサである。そして、FET 8は抵抗器として機能し、15個が縦列に接続される。

【0040】

遅延調整電圧生成回路MUXには、3つの遅延調整基準電圧 V_{s1}, V_{s2}, V_{s3} が入力される。ここで、 V_{s3} は最大の遅延調整電圧、 V_{s1} は最小の遅延調整電圧である。 V_{s2} はその間の値である。 $V_{s1} \sim V_{s3}$ 間はFET 8によって15分割の電圧に分けられる。そして、遅延調整電圧 V_a は、アナログマルチプレクサ9によって調整値入力 B_a の情報に基づいて選択される。

【0041】

図13の遅延調整電圧生成回路MUXの動作は、遅延調整基準電圧 V_{s1} と V_{s2} の間を調整値入力 B_a に対して直線で補間した電圧、および、遅延調整基準電圧 V_{s2} と V_{s3} の間を調整値入力 B_a に対して直線で補間した電圧から、調整値入力 B_a に対する遅延調整電圧 V_a を発生する。この遅延調整電圧 V_a は図12の線22、23に示すように折れ線近似されている。ここで、 P_1 に対応する調整値入力 B_a は0(2進表記で0000)、 P_3 に対応する調整値は15(2進表記で1111)、 P_2 に対応する調整値入力 B_a は0と15の間の任意の整数である。

【0042】

図14は、図6の τ - V_a 特性を元にして算出された遅延時間 τ —調整値入力

B a (0~15)特性である。図 1 4 中、2 5 は、図 1 2 の曲線 2 1 の場合の特性、2 6、2 7 は、本願発明による二直線の折れ線近似による特性、2 8 は、1本の直線近似特性にそれぞれ対応する。

【0 0 4 3】

したがって、上述のように、調整値入力 B a に対応して、遅延調整基準電圧 V_s 1~ V_s 3 に基づいた各々の調整値入力 B a に対する遅延調整電圧 V_a が規定される。

【0 0 4 4】

図 1 3 の遅延調整電圧生成回路 MUX は、FET 8 としてデプレッション型の FET を用いたが、エンハンスメント型の FET で構成することも可能である。この場合の遅延調整電圧生成回路 MUX の回路を図 1 5 に示す。図 1 5 中、7 N は N チャンネル FET、7 P は P チャンネル FET であり、ゲート電極は V_{dd} および GND にそれぞれ接続される。このほかの記号は図 1 3 中の記号と同じ構成要素を示す。

【0 0 4 5】

【実施例 1 のまとめ】

上述のように、実施例 1 においては、少ない回路面積で、温度や電源電圧の環境に依存することなく、調整値入力 B a に対してほぼ直線的な遅延量 τ を持つ遅延回路が実現できる。

【0 0 4 6】

【実施例 2】

次に実施例 2 について説明する。

実施例 1 において、別の遅延調整電圧 V_a の生成手段も可能である。図 1 6 に、その別方式の遅延調整電圧生成回路 MUX の一構成例を示す。これは R-2R 形 D-A 変換器による遅延調整電圧生成方法である。図 1 6 において、S0~S3 はスイッチ、3 1 は抵抗値が R の抵抗、3 2 は抵抗値が 2 R の抵抗、3 3 は調整値入力 B a を入力する端子、3 4 は遅延調整電圧 V_a を出力する端子、3 5 は遅延調整基準電圧を入力する端子である。b0~b3 は、調整値入力 B a の各ビットを表す。

【0 0 4 7】

図 1 6 の遅延調整電圧生成回路 MUX において、スイッチ S0~S3 の状態 (B a : 0

～15の16通り) に対応して電位差 V_{s1} ～ V_{s3} の分割された電圧が端子34に現れる。スイッチ S_0 ～ S_3 が b_0 ～ b_3 に対応してオンオフされる。この回路はR-2Rのラダー型回路であることから、 B_a と、出力 V_a との関係を算出すると表1になる。

【表1】

調整値 入力 B_a	2進数表記 $b_3\ b_2\ b_1\ b_0$	遅延調整電圧 V_a
0	0 0 0 0	V_{s3}
1	0 0 0 1	$(15V_{s3}+V_{s1})/16$
2	0 0 1 0	$(14V_{s3}+2V_{s1})/16$
3	0 0 1 1	$(13V_{s3}+3V_{s1})/16$
4	0 1 0 0	$(12V_{s3}+4V_{s1})/16$
5	0 1 0 1	$(11V_{s3}+5V_{s1})/16$
6	0 1 1 0	$(10V_{s3}+6V_{s1})/16$
7	0 1 1 1	$(9V_{s3}+7V_{s1})/16$
8	1 0 0 0	$(8V_{s3}+8V_{s1})/16$
9	1 0 0 1	$(7V_{s3}+9V_{s1})/16$
10	1 0 1 0	$(6V_{s3}+10V_{s1})/16$
11	1 0 1 1	$(5V_{s3}+11V_{s1})/16$
12	1 1 0 0	$(4V_{s3}+12V_{s1})/16$
13	1 1 0 1	$(3V_{s3}+13V_{s1})/16$
14	1 1 1 0	$(2V_{s3}+14V_{s1})/16$
15	1 1 1 1	$(V_{s3}+15V_{s1})/16$

R-2R形変換器による調整値と出力との関係

【0048】

この表は、図12における中間電圧 V_{s2} の入力がなく、直線近似の直線24で示される場合である。 $B_a=0$ が V_{s1} 、 $B_a=15$ が V_{s3} に対応する。

【0049】

図16の遅延調整電圧生成回路MUXは、抵抗31、32、とスイッチ S_0 ～ S_3 をFETで構成することも可能である。この場合、LSI化し易いFETを用いることによりチップ面積を小さくすることが可能である。

【0050】

図16の抵抗31をFETで構成した例を図17に示す。図17中、10はNチャネルFET、11はPチャネルFETである。FET10のゲートは V_{dd} に接続し、FET11のゲートはGNDに接続する。FET10およびFET11のソースとドレインはそれぞれ並列に接続する。FET10および11の寸法形状を最適設計することにより、並列接続したソースドレイン間の抵抗が所定の値となる。同様に、図16の抵抗32もFETで構成可能である。

【0051】

また、図16の抵抗32とスイッチS0の直列の回路をFETで構成した例を図18に示す。図18中、10、12はNチャネルFET、11、13はPチャネルFET、14はインバータ、36、37はスイッチで選択される端子、38はスイッチの共通端子、39はスイッチの切替制御の入力端子である。

【0052】

端子39からの信号は、直接FET10およびFET13のゲートに接続し、インバータを経由した信号はFET11およびFET12のゲートに接続する。FET10およびFET11のソースとドレインはそれぞれ並列に接続する。同様にFET12およびFET13のソースとドレインはそれぞれ並列に接続する。

【0053】

39の信号入力が「1」すなわちVddの電圧の場合、FET10およびFET11が所定の抵抗値で導通し、FET12およびFET13はオフとなる。39の信号入力「0」すなわちGNDの電圧の場合、FET10およびFET11がオフとなり、FET12およびFET13が所定の抵抗値で導通する。FET10から13の寸法形状を最適設計することにより、並列接続したソースドレイン間の抵抗が所定の値となる。図18の回路の等価回路を図19に示す。

【0054】

図16の抵抗32とスイッチS1の直列の回路、抵抗32とスイッチS2の直列の回路、抵抗32とスイッチS3の直列の回路についても、図18の回路により同様に構成することができる。

【0055】

図16の遅延調整電圧生成回路MUXにおける抵抗31、図中左端の32を図17の構成、抵抗32とスイッチS0～S3の組み合わせを図18で構成した場合の構成を図20に示す。15はNチャネルFET、16はPチャネルFETである。

【0056】

この構成を用いるとLSI化し易いFETを用いて構成可能でチップ面積を小さくすることが可能である。また、この構成の場合、FETにより実現される抵抗がある程度の電圧依存性を有するので、調整値入力Baと遅延調整電圧Vaの関係が、図16の遅延調整電圧生成回路MUXの場合と比較してわずかにずれが生ずる。こ

のため、本願発明の遅延回路システムが実装されるデジタル回路システムが遺伝的アルゴリズムで調整される場合、特に好適である。

【 0 0 5 7 】

【実施例 3】

次に実施例 3 について説明する。 実施例 3 は、実施例 1 における図 1 3 の遅延調整電圧生成回路 MUX を 2 組の R-2R ラダー回路によって構成するものである。実施例 1 の場合の二直線近似の V_a - B_a 特性を、実施例 1 の場合より少ないチップ面積で実現することができる。

【 0 0 5 8 】

図 2 1 に、遅延調整電圧生成回路 MUX の構成原理図を示す。図 2 1 において、4 1 は抵抗値 R の抵抗、4 2、4 3、4 5、4 7 は抵抗値 $2R$ の抵抗、4 4 a、4 4 b、4 4 c、4 6 a、4 6 b、4 6 c、4 8 a、4 8 b、4 8 c はスイッチ、4 9 は調整値入力 B_a を入力する端子、5 0 は遅延調整電圧 V_a を出力する端子、5 1、5 2、5 3 は遅延調整基準電圧を入力する端子である。

【 0 0 5 9 】

$b_0 \sim b_3$ は、調整値入力 B_a の各ビットを表す。 B_a と $b_0 \sim b_3$ の関係は表 2 に示される。便宜上、ビットの反転（論理の反転）したものを $\overline{}$ の記号で表す。また、端子 5 1 \sim 5 3 にそれぞれ遅延調整基準電圧 V_{s1} 、 V_{s2} 、 V_{s3} が入力される。

【表 2】

調整値 入力 B_a	2進数表記 $b_3 \ b_2 \ b_1 \ b_0$	遅延調整電圧 V_a
1	0 1 1 1	$(7V_{s3}+V_{s2})/8$
2	0 1 1 0	$(6V_{s3}+2V_{s2})/8$
3	0 1 0 1	$(5V_{s3}+3V_{s2})/8$
4	0 1 0 0	$(4V_{s3}+4V_{s2})/8$
5	0 0 1 1	$(3V_{s3}+5V_{s2})/8$
6	0 0 1 0	$(2V_{s3}+6V_{s2})/8$
7	0 0 0 1	$(V_{s3}+7V_{s2})/8$
8	0 0 0 0	V_{s2}
9	1 0 0 0	V_{s2}
10	1 0 0 1	$(1V_{s1}+7V_{s2})/8$
11	1 0 1 0	$(2V_{s1}+6V_{s2})/8$
12	1 0 1 1	$(3V_{s1}+5V_{s2})/8$
13	1 1 0 0	$(4V_{s1}+4V_{s2})/8$
14	1 1 0 1	$(5V_{s1}+3V_{s2})/8$
15	1 1 1 0	$(6V_{s1}+2V_{s2})/8$
16	1 1 1 1	$(7V_{s1}+V_{s2})/8$

【0060】

スイッチ44aは b_0 と b_3 の論理積が1のときオンとなり、それ以外ではオフとなる。スイッチ46aは b_0 と $\neg b_3$ の論理積が1のときオンとなり、それ以外ではオフとなる。スイッチ48aは $\neg b_0$ が1のときオンとなり、それ以外ではオフとなる。

【0061】

スイッチ44bは b_1 と b_3 の論理積が1のときオンとなり、それ以外ではオフとなる。スイッチ46bは b_1 と $\neg b_3$ の論理積が1のときオンとなり、それ以外ではオフとなる。スイッチ48bは $\neg b_1$ が1のときオンとなり、それ以外ではオフとなる。

【0062】

スイッチ44cは b_2 と b_3 の論理積が1のときオンとなり、それ以外ではオフとなる。スイッチ46cは b_2 と $\neg b_3$ の論理積が1のときオンとなり、それ以外ではオフとなる。スイッチ48cは $\neg b_2$ が1のときオンとなり、それ以外ではオフとなる。

【0063】

ところで、図21の回路は、 b_3 が0の場合、スイッチ44a、44b、44cのすべてがオフであることから、図22に示す等価回路と同等となる。また、 b_3 が1の場合、スイッチ46a、46b、46cのすべてがオフであることから、図23に示す等価回路と同等となる。

【0064】

図22の回路と図23の回路を電氣的に同時に調整値設定に使用することがないので、2つの等価回路に分けることが可能である。そして、図22の回路と図23の回路はそれぞれが3ビットのR-2Rラダー回路である。

【0065】

このように、3ビットのR-2Rラダー回路を等価的に二組形成し、 V_{s1} から V_{s2} の電圧発生域と、 V_{s2} から V_{s3} の電圧発生域とを等価的に切り変え動作を行っていることを特徴とする。

【0066】

調整値入力Baに対するこの回路の出力電圧すなわち遅延調整電圧 V_a の関係は、図22の回路と図23の回路のそれぞれにおいて、R-2Rラダー回路の原理より算出が可能である。その結果を表2に示す。また、図24に、遅延調整値入力Baに対する遅延調整電圧 V_a の関係を示す。

【0067】

上述の図21で構成原理を示す回路は、第2の実施例の場合と同様に、FETで構成することが可能である。この場合、LSI化し易いFETを用いることによりチップ面積を小さくすることが可能である。

【0068】

この場合、抵抗41と42は、図17に示す回路で構成できる。また、抵抗43とスイッチ44の直列の回路をFETで構成した例を図25に示す。図25中、10はNチャネルFET、11はPチャネルFET、14はインバータ、36、38はスイッチの両端の端子、39はスイッチの切替制御の入力端子である。

【0069】

端子39からの信号は直接FET10のゲートに接続し、インバータを経由した信号はFET11のゲートに接続する。FET10およびFET11のソースとドレインはそれぞれ並列に接続する。

【0070】

39の信号入力が「1」すなわちVddの電圧の場合、FET10およびFET11が所定の抵抗値で導通し、該信号入力が「0」すなわちGNDの電圧の場合、FET10およびFET11がオフとなる。FET10、11の寸法形状を最適設計することにより、並列接続したソースドレイン間の抵抗が所定の値となる。

【0071】

図21の抵抗45とスイッチ46a、46b、あるいは46cの直列の回路、抵抗47とスイッチ48a、48b、あるいは48cの直列の回路についても、図25の回路により同様に構成できる。

【0072】

図21の遅延調整電圧生成回路MUXの回路を、図17および図25のFETによる

回路で構成した場合を図26に示す。15はNチャネルFET、16はPチャネルFETである。

【0073】

この構成を用いるとLSI化し易いFETを用いて構成可能でチップ面積を小さくすることが可能であり、なおかつ、折れ線近似によって誤差の少ない遅延調整電圧 V_a が生成可能である。また、第2の実施例の場合と同様に、本願発明の遅延回路システムが実装されるデジタル回路システムが遺伝的アルゴリズムで調整される場合、特に好適である。

【0074】

また、前述の実施例1ないし実施例3において、遅延回路Dを別の構成とすることも可能である。図27に遅延回路Dの他の構成例を示す。図27において、図2と同じ符号は同じ構成要素を示す。また、M7、M8、M10、はPチャネルFET、M9はNチャネルFETである。

【0075】

図27中、M1とM2によるインバータの上にFET M7を直列接続し、M4とM5によるインバータの上にFET M8を直列接続する。電流制御用FET M7、M8のゲートバイアス電圧を生成するため、FET M9、FET M10を直列接続したものを付加する。

【0076】

FET M3およびM6へのゲートバイアスは、前述の遅延調整電圧 V_a であるが、FET M10は、ゲート端子をドレイン端子と接続し、その接続点からFET M7、M8へのゲートバイアスを給電するいわゆるカレントミラー回路の構成になっている。

【0077】

FET M3およびM6の電流は、図3の電流電圧特性にもとづいて遅延調整電圧 V_a により規定されるが、同様にして、FET M7およびM8の電流が、電流電圧特性にもとづいて遅延調整電圧 V_a により規定される。

【0078】

遅延時間の発生は、図2の遅延回路と同様であるが、この図27の遅延回路で

は、FET M1 および M4 の電流が FET M7 および M8 にて規定されることから、遅延量を定める FET M7 および M8 が余分に追加されていることになり、図 2 の遅延回路 D の場合よりも、図 27 の場合の遅延回路 D の方が、大きい遅延時間を実現することが可能となる。また、この場合、波形の対称性が良くなる。

【0079】

また、図 27 の遅延回路 D を図 9 に代表される遅延同期ループ回路 DLL 1、2、3 に用いる場合、遅延回路 D (Ds) を多段にするが、FET M9 および M10 からなるバイアス発生回路を共通とすることが可能である。すなわち、図 28 に示すように FET M9 および M10 からなるバイアス発生回路を共通バイアス発生回路とすると、それだけ回路規模が減少し、チップ面積を節約することが可能である。

【0080】

上記実施例 1 ないし 3 の遅延回路では、図 4 に示すように、浮遊容量および FET の容量からなる容量 Cs1、Cs2 を用いて遅延を発生したが、この容量 Cs1、Cs2 の部分に積極的に容量を付加してもよい。この場合の容量はメタル電極で構成される容量、FET のゲート容量などである。この場合、遅延時間を大きくすることが可能である。

【0081】

以上説明した実施例においては、D-CLK の出力は 1 種類の場合であったが、言うまでもなく複数の異なる遅延量の D-CLK を発生させる場合にも適応可能である。この場合は異なる遅延量の数の遅延回路 D と遅延調整電圧生成回路 MUX を設ければよく、遅延同期ループ回路 DLL1~DLL3 は共通にすることが可能である。これによりチップ面積の有効利用が可能である。

【0082】

さらにまた、遅延同期ループ回路 DLL 1~3 の安定性を向上する手段を追加する。遅延回路システム 1 に回路の電源が投入されて起動する際、ループフィルタ 6 の過渡的な出力電圧により遅延回路 D の遅延量が通常値から大幅にずれる可能性がある。その場合、位相比較器に入力される信号の位相ずれが過大となり

遅延同期ループ回路の動作が不安定になる。また、位相比較器 5 の入力信号の位相差がクロック信号CLKの1周期ではなく2周期以上となってしまう異常動作となる可能性もある。

【0083】

電源投入直後に、ループフィルター 6 の出力電圧を定常状態での電圧あるいはそれよりもVddに近い値にプリチャージすることで、上記の不安定性は排除できる。そのため構成を図 29 に示す。図 29 において、6 はループフィルター、6 1 はカウンター回路、6 2 はデジタルアナログ変換回路、6 3 はリセット回路、6 4 はプリセットデータ、6 5 は位相差情報の信号、6 6 はループフィルター 6 の出力電圧である。

【0084】

遅延同期ループ回路DLL1～3の位相比較器 5 の出力である位相差情報の信号 6 5 は、カウンター回路 6 1 に入力される。この位相差情報の信号 6 5 にもとづいて、カウンター回路 6 1 はアップカウントあるいはダウンカウントの計数を行う。カウンター回路 6 1 の出力はデジタルアナログ変換回路 6 2 に入力され、デジタルアナログ変換回路 6 2 によってアナログ値の電圧である出力信号 6 6 に変換されてループフィルター 6 の出力となる。

【0085】

遅延回路システム 1 を含むデジタルシステムに電源が投入される時には、リセット回路 6 3 は、遅延回路システム 1 に電源が投入される過渡状態を検出し、カウンター回路 6 1 はプリセットデータ 6 4 をカウンター回路内のレジスターにロードする。遅延回路システム 1 を含むデジタルシステムがリセット動作されるときも同様に動作する。

【0086】

プリセットデータ 6 4 は、定常状態における出力電圧が出力されるデータをあらかじめ記憶しておくことで、遅延回路システム 1 を含むデジタルシステムに電源が投入される起動時やシステムのリセット時においても、遅延同期ループ回路を急速にかつ安定して起動することができ、異常動作を防止することができる。

【0087】

【発明の効果】

このように上記で示されるパルス遅延回路を有するデジタル処理装置では、従来技術による回路である、多数のインバータ回路とマルチプレクサからなる論理回路での構成と比較して、回路面積が、遅延の指定が4ビットの場合で1/5、6ビットの場合で1/10と大幅に縮小が可能であり、LSIのチップ面積の大幅な縮小が可能となる。また温度環境条件では、 -10°C ～ 80°C の周囲温度変化に対して、従来回路では遅延時間が約1.5倍程変化していたが、本願発明による遅延回路では、温度による変化を補償する機能を設けたことにより、設定した遅延時間が、温度変化によらずほぼ一定とすることが可能である。

さらにまた、高分解能の遅延時間設定が実現可能となる。

【図面の簡単な説明】

- 【図1】 本願発明の遅延回路システムの構成を説明する図
- 【図2】 遅延回路の構成例を説明する回路図
- 【図3】 NチャネルFETのソースドレイン間の電流電圧特性を示す図
- 【図4】 遅延回路の動作を説明する回路図
- 【図5】 遅延回路の動作波形を説明する説明図
- 【図6】 遅延回路の遅延調整電圧に対する遅延時間の特性を説明する図
- 【図7】 温度が変化する場合の遅延回路の遅延時間の特性を説明する図
- 【図8】 電源電圧が変化する場合の遅延回路の遅延時間の特性を説明する

図

- 【図9】 遅延同期ループ回路の実装例を示す図
- 【図10】 位相比較器の動作波形の概略を示す図
- 【図11】 遅延調整基準電圧による遅延時間一定の原理を説明する図
- 【図12】 調整値入力に対する遅延調整電圧の特性を説明する図
- 【図13】 第1実施例の遅延調整電圧生成回路の構成例
- 【図14】 調整値入力と遅延時間の関係を説明する図
- 【図15】 第1実施例の遅延調整電圧生成回路の別の構成例
- 【図16】 第2実施例の遅延調整電圧生成回路の構成例を示す原理説明図
- 【図17】 遅延調整電圧生成回路の抵抗をFETで構成する例を示す回路図

【図 18】 遅延調整電圧生成回路の抵抗とスイッチをFETで構成する例を示す回路図

【図 19】 遅延調整電圧生成回路の抵抗とスイッチをFETで構成する例の等価回路図

【図 20】 第2実施例の遅延調整電圧生成回路の構成例を示す回路説明図

【図 21】 第3実施例の遅延調整電圧生成回路の構成原理

【図 22】 第3実施例の遅延調整電圧生成回路の一部の等価回路

【図 23】 第3実施例の遅延調整電圧生成回路の別の一部の等価回路

【図 24】 第3実施例における調整値入力に対する遅延調整電圧の関係

【図 25】 遅延調整電圧生成回路の抵抗とスイッチをFETで構成する別の例を示す回路図

【図 26】 第2実施例の遅延調整電圧生成回路の構成例を示す回路説明図

【図 27】 遅延回路Dsの他の構成例

【図 28】 バイアス発生回路を共通とする遅延回路の回路図

【図 29】 ループフィルターの別の構成例を示す説明図

【符号の説明】

1 ……遅延回路システム D、Ds ……遅延回路

DLL 1 ～ DLL 3 ……遅延同期ループ回路

MUX ……遅延調整電圧生成回路

5 ……位相比較器

6 ……ループフィルター

CLK ……クロック入力

D-CLK ……クロック出力

Ba ……調整値入力

Vs1 ～ Vs3 ……遅延調整基準電圧

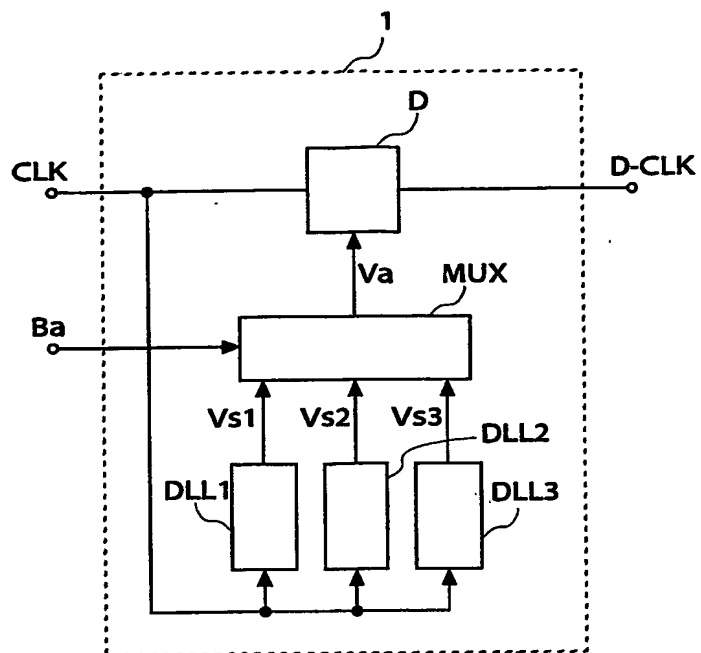
Va ……遅延調整電圧

τ ……遅延時間

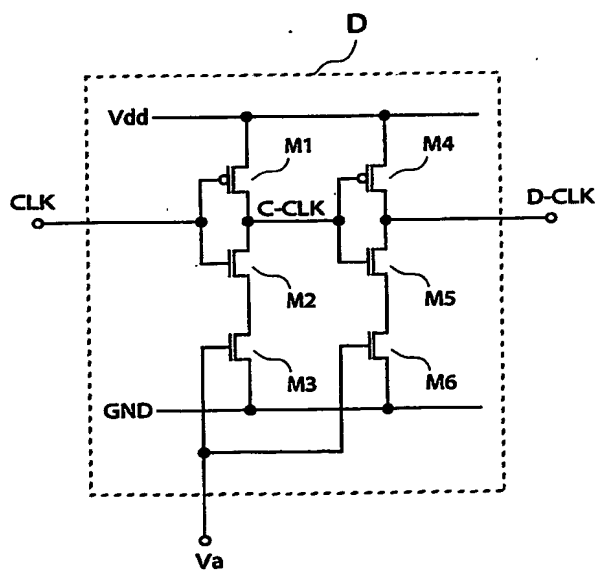
9 ……アナログマルチプレクサ

【書類名】 図面

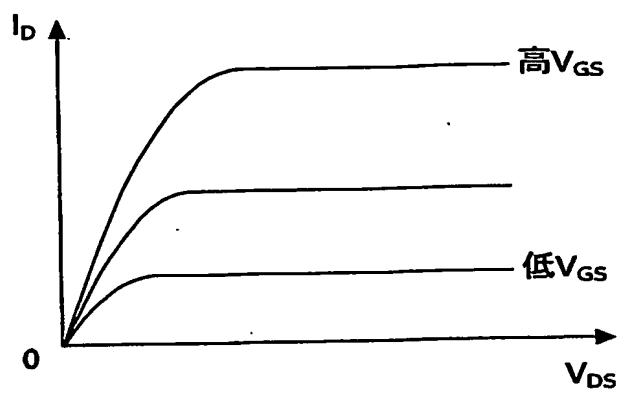
【図 1】



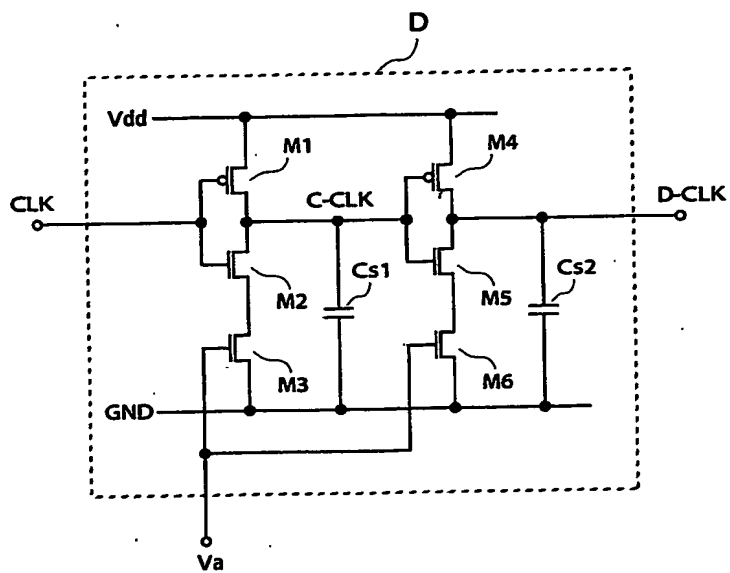
【図 2】



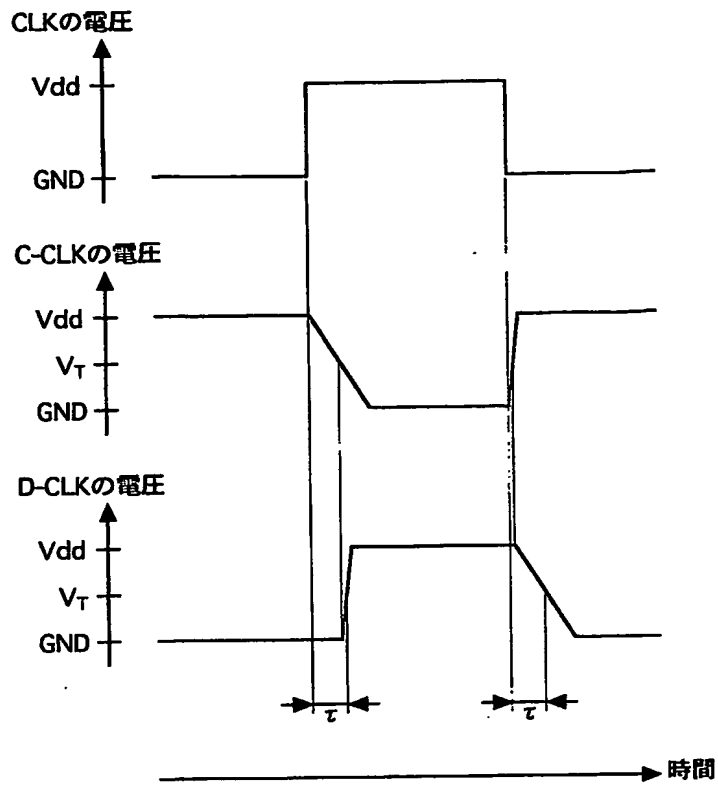
【図3】



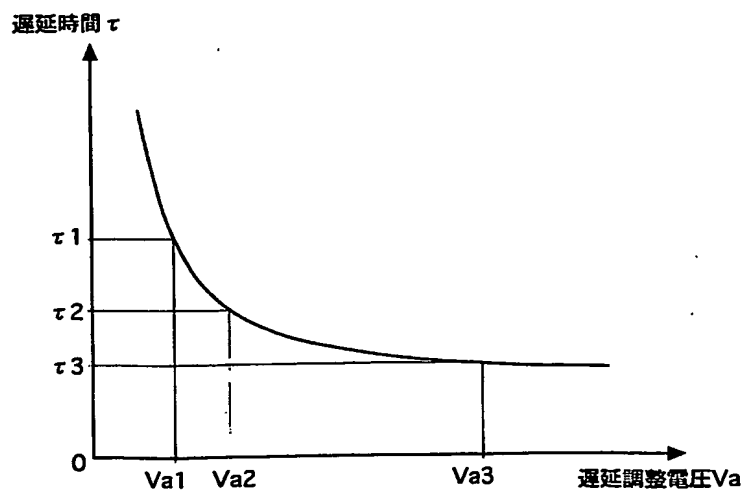
【図4】



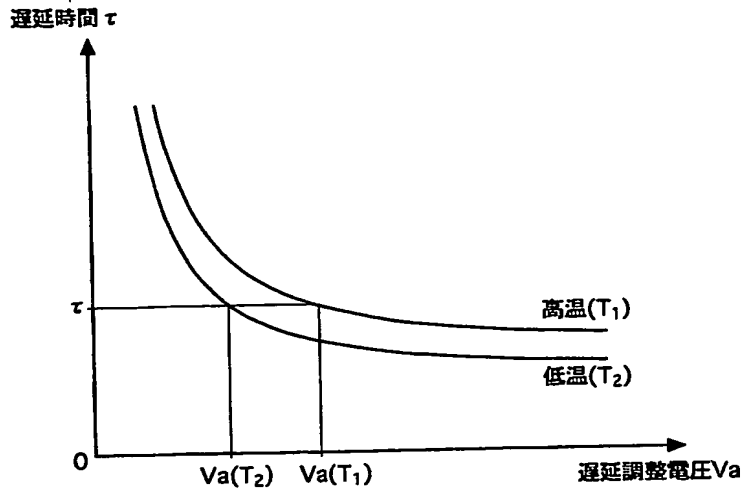
【図 5】



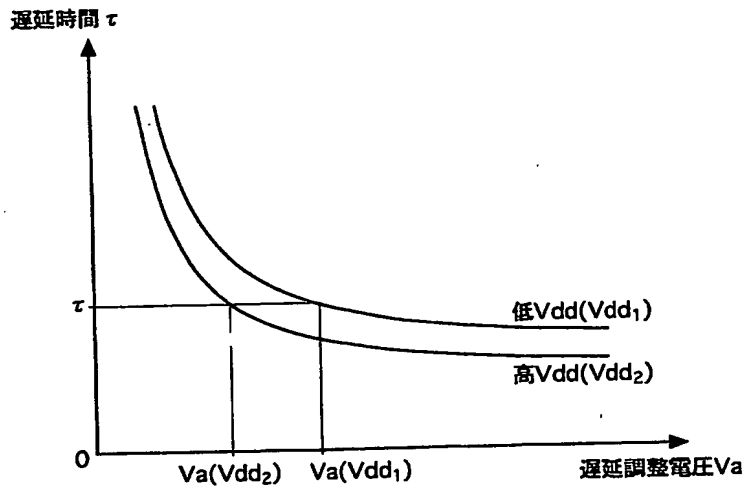
【図 6】



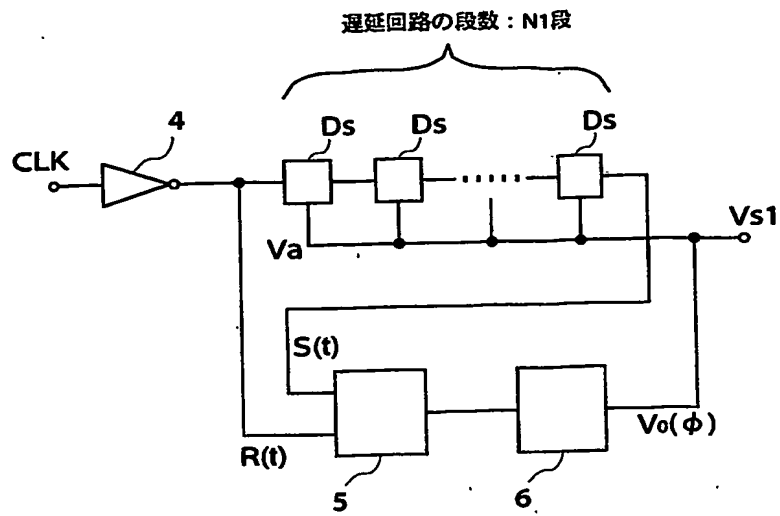
【図 7】



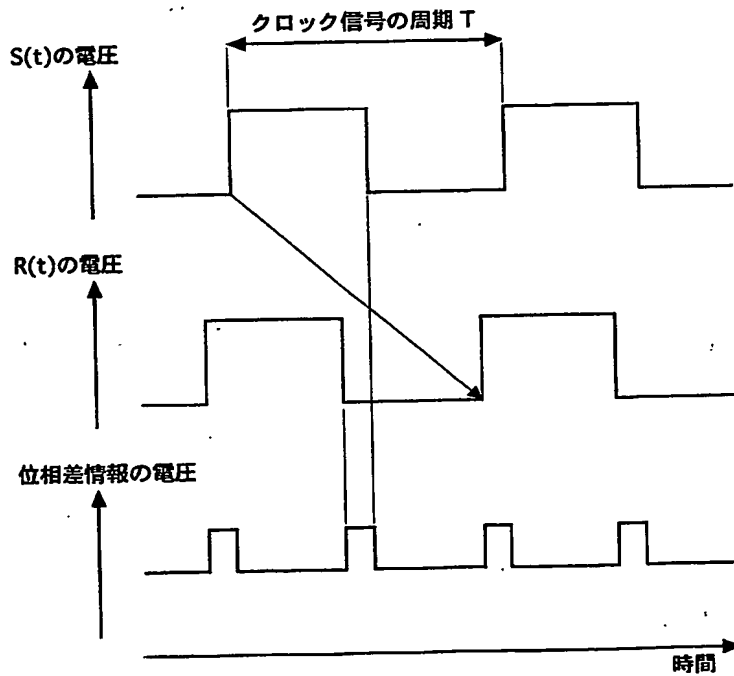
【図 8】



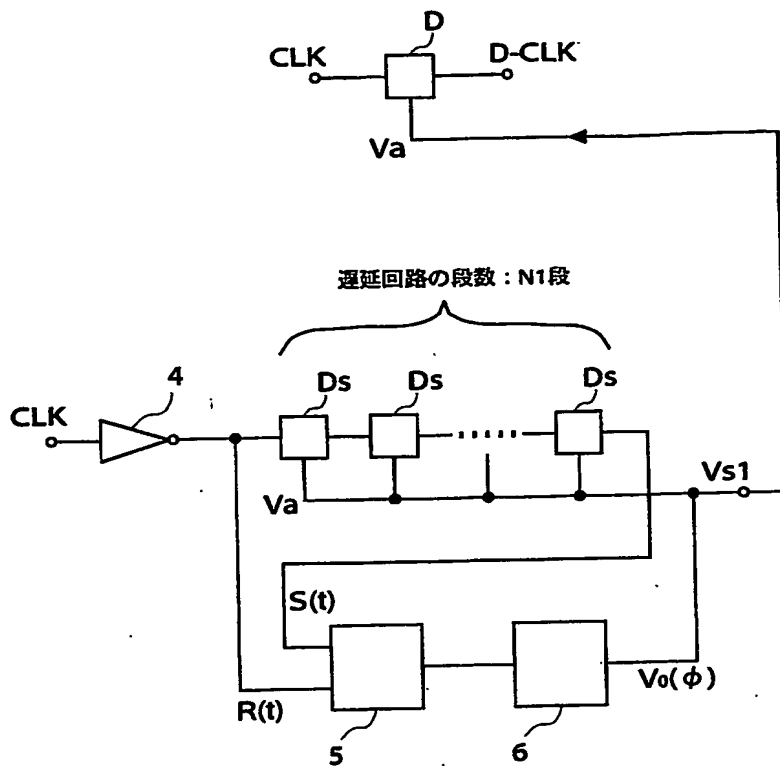
【図 9】



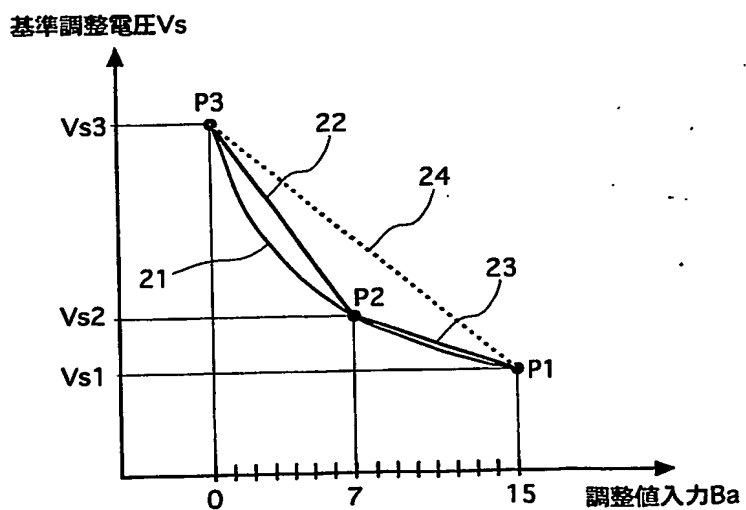
【図 10】



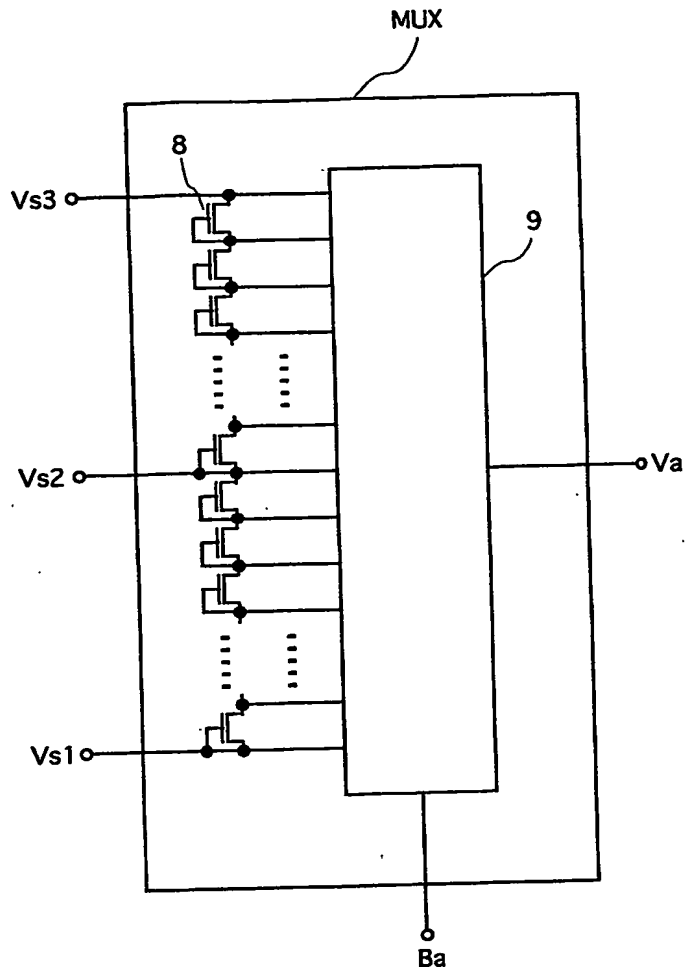
【図 1 1】



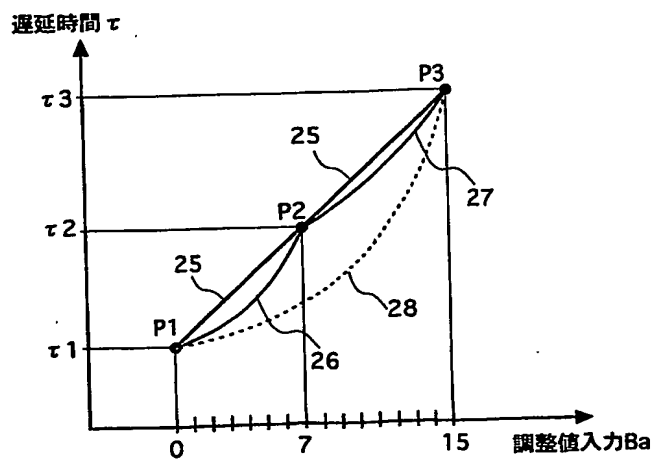
【図 1 2】



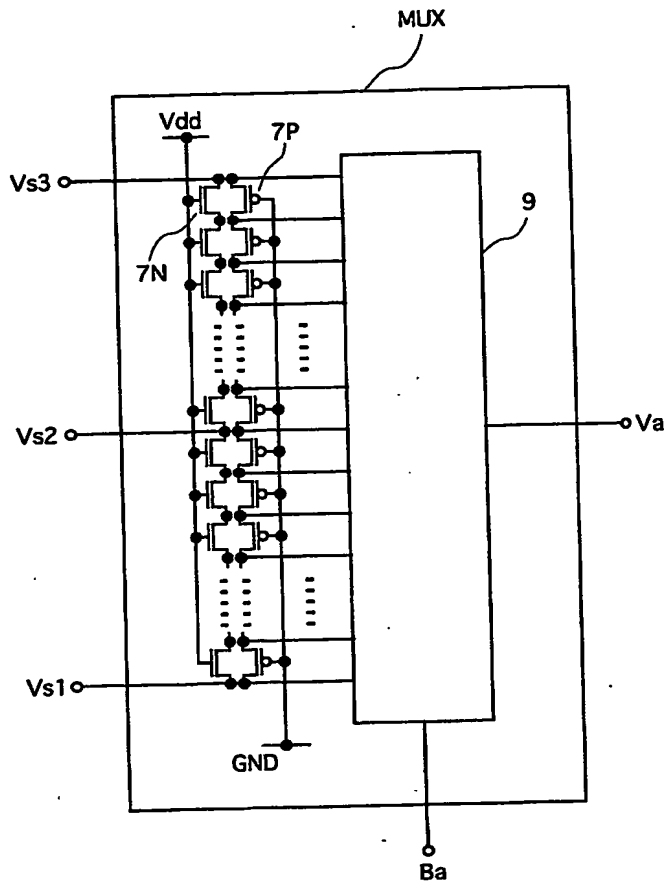
【図 13】



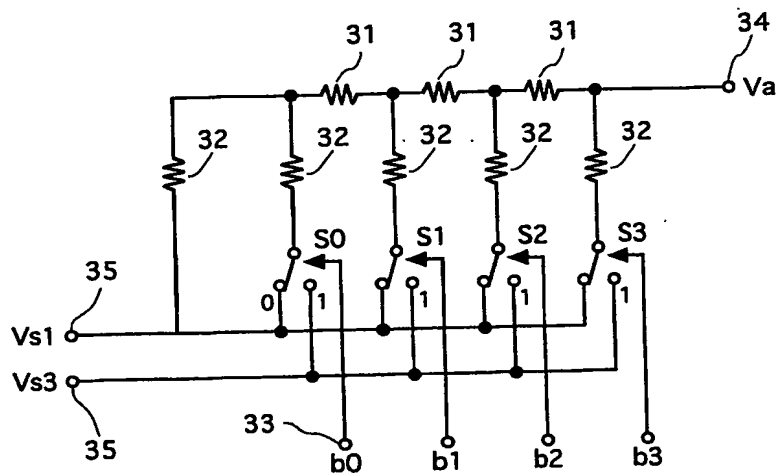
【図 14】



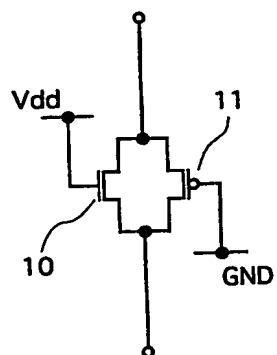
【図 15】



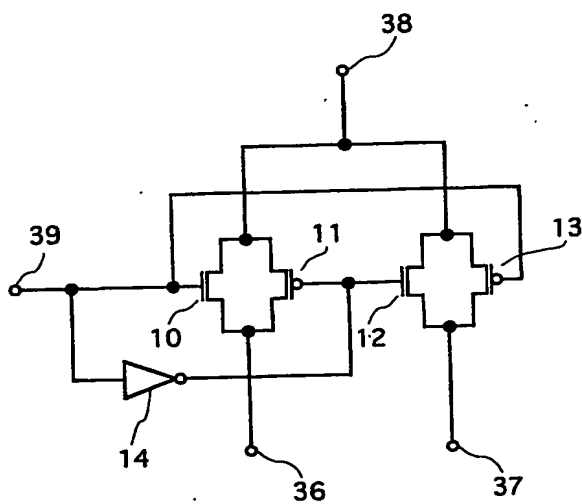
【図 16】



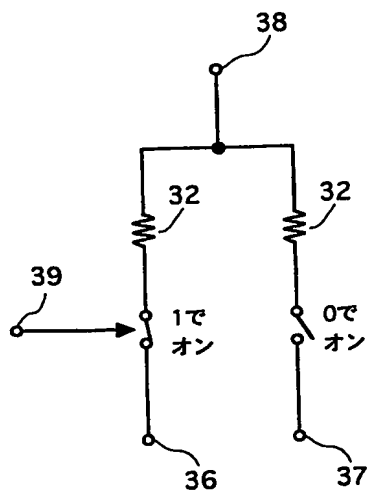
【図 17】



【図 18】

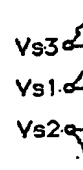


【図 19】





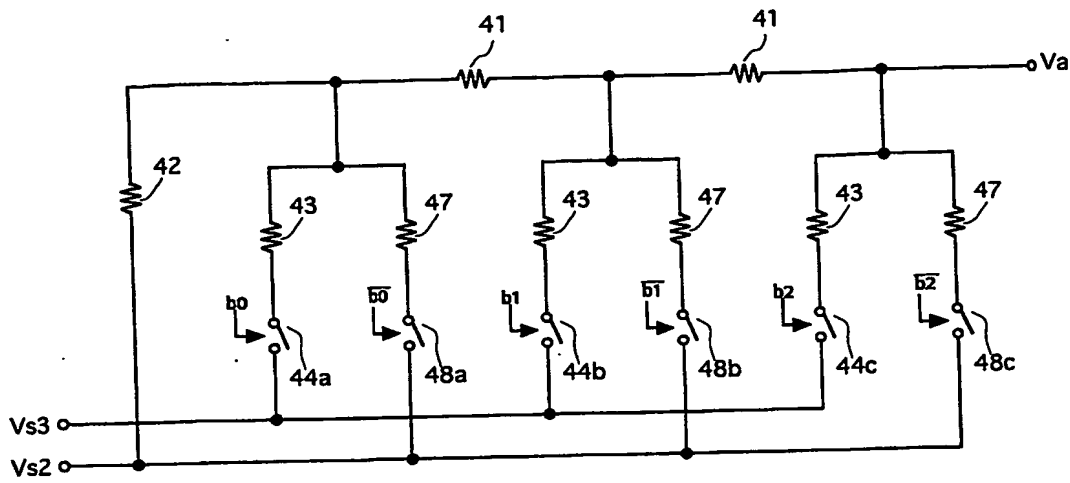
【图 2】



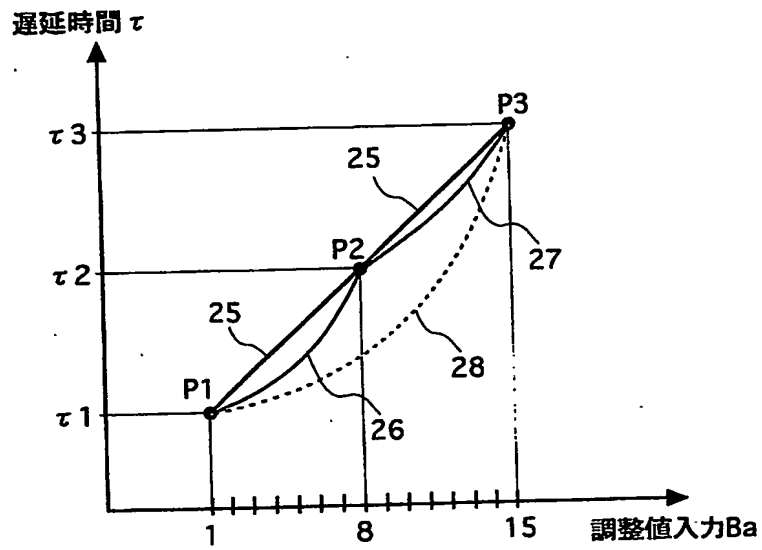
【图 2



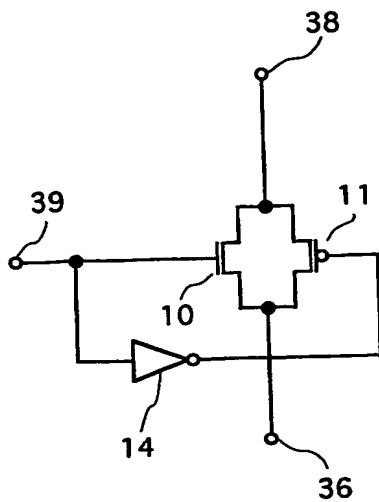
【図 2 3】



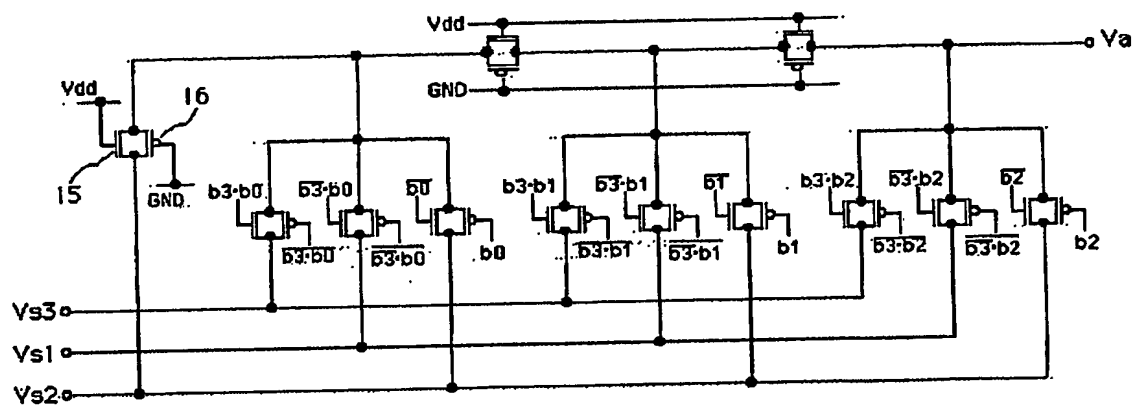
【図 2 4】



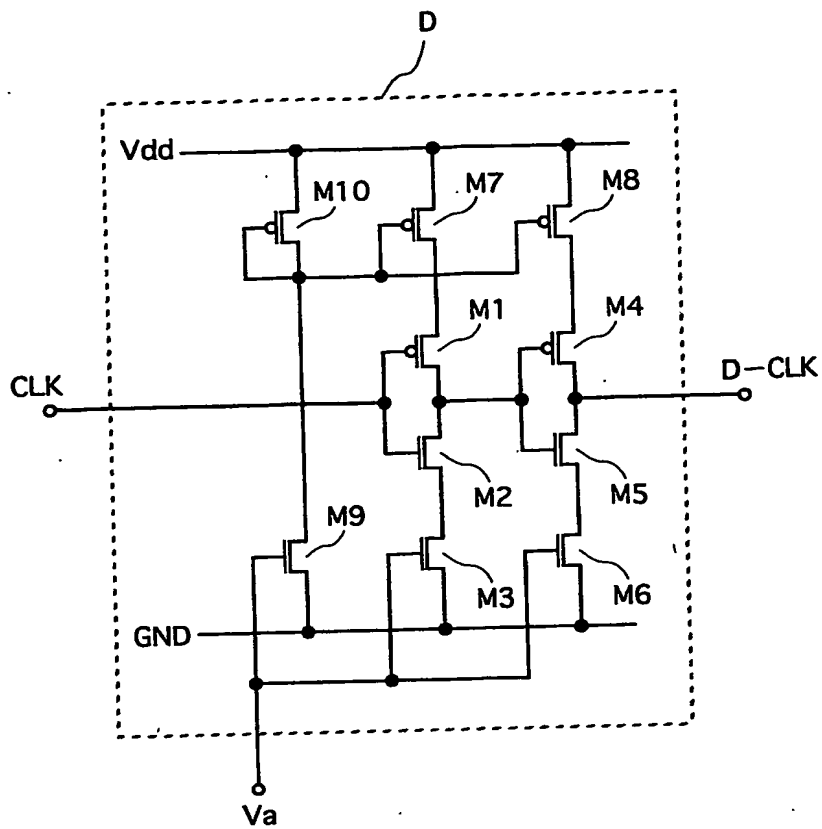
【図 25】



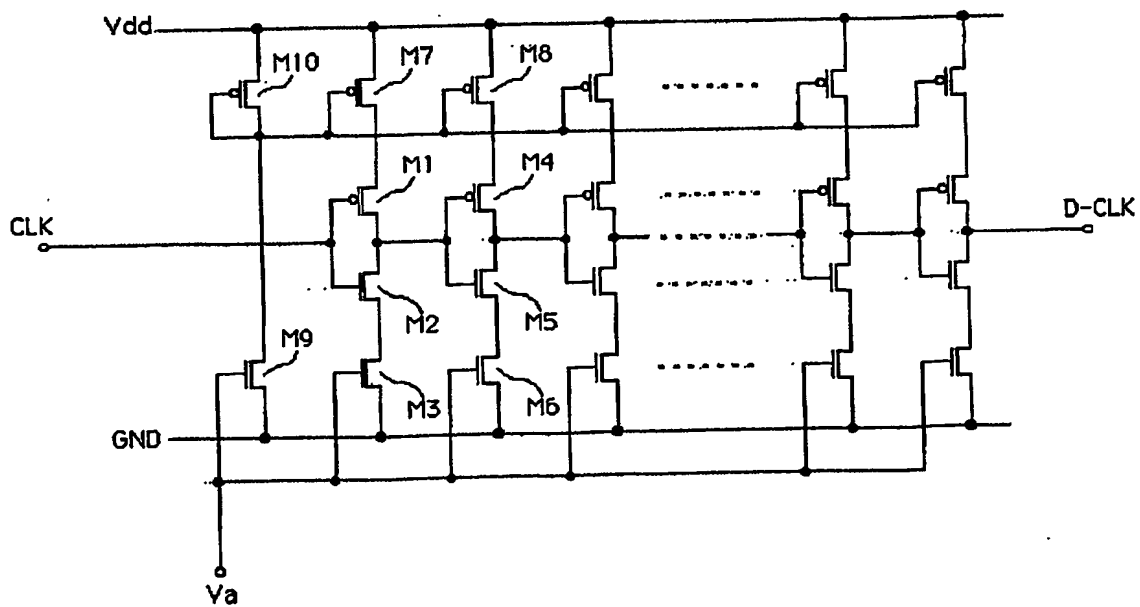
【図 26】



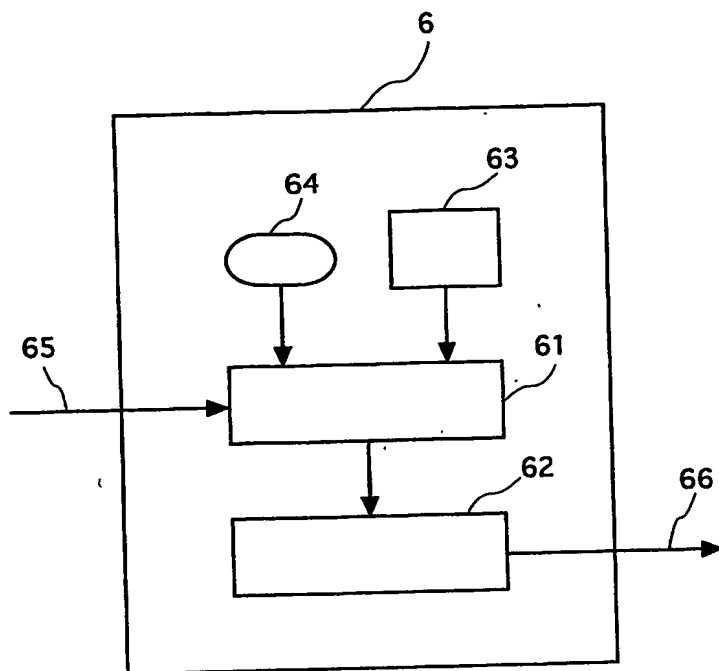
【図 27】



【図 28】



【図 29】



【書類名】 要約書

【要約】

【課題】 従来技術によるクロックタイミング調整方法においては、調整回路のLSIチップ面積に占める割合が大きく、LSIの周囲温度及び電源電圧等の動作環境の影響を受け、クロックタイミングが変動するという問題がある。このような問題に鑑み、本願発明が解決しようとする課題は、回路面積が小さく、動作環境の影響を受けない分解能の高いタイミング遅延回路を実現することである。

【解決手段】 本願発明におけるデジタル回路においては、クロック信号のタイミングを可変にするために、インバータの駆動電流を可変にしたパルス遅延回路を具備し、該パルス遅延回路は、遅延同期ループによるパルス遅延量の安定化回路を具備するとともに、非線形特性を有するパルス遅延量設定電圧の発生回路を具備するものである。

【選択図】 図1

認定・付加情報

特許出願の番号

特願 2002-200467

受付番号

50201005879

書類名

特許願

担当官

第六担当上席

0095

作成日

平成14年 7月10日

<認定情報・付加情報>

【提出日】

平成14年 7月 9日

次頁無

出 願 人 履 歴 情 報

識別番号

[301021533]

1. 変更年月日

2001年 4月 2日

[変更理由]

新規登録

住 所

東京都千代田区霞が関1-3-1

氏 名

独立行政法人産業技術総合研究所